

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-163282

(43)Date of publication of application : 18.06.1999

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 09-326682

(71)Applicant : NEC CORP

(22)Date of filing : 27.11.1997

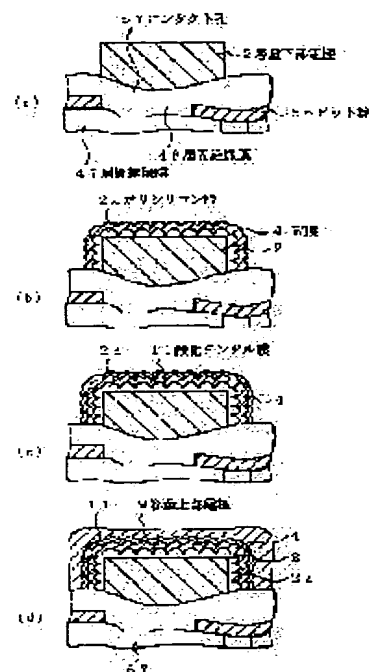
(72)Inventor : KAMIYAMA SATOSHI
SEKINE MAKOTO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve leakage current properties, by forming a lower electrode on amorphous silicon, selectively forming a tungsten film on the lower electrode, forming a capacity insulating film, and forming an upper electrode on the closely packed capacity insulating film.

SOLUTION: Phosphorus-doped amorphous silicon as capacity lower electrode 2 is patterned by chemical vapor deposition method. A polysilicon film 2a with rough surface is formed on the amorphous silicon. After eliminating a natural oxide film on the surface of the polysilicon film, a tungsten film 4 is selectively formed and a tantalum oxide film 11 as capacity insulating film is deposited. Consecutively, after the tantalum oxide 11 has been subjected to a plasma treatment as close packing, titanium nitride is formed as capacity upper electrode 9. In this way, leakage current properties can be improved.



LEGAL STATUS

[Date of request for examination] 27.11.1997

[Date of sending the examiner's decision of rejection] 28.11.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-163282

(43) 公開日 平成11年(1999) 6月18日

(51) Int.Cl.⁶

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

6 2 1 B

審査請求 有 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平9-326682

(22) 出願日 平成9年(1997)11月27日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 神山 聡

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 関根 誠

東京都港区芝五丁目7番1号 日本電気株式会社内

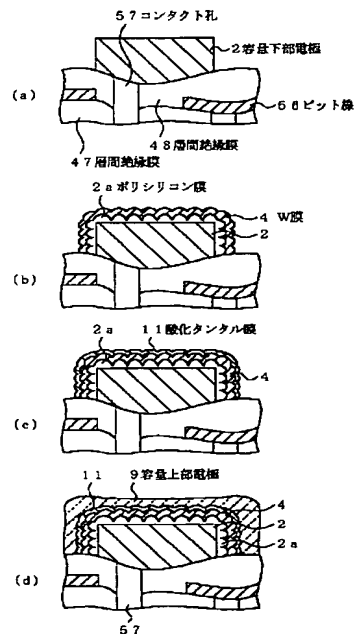
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】ダイナミック・ランダム・アクセス・メモリ (DRAM) 等の超LSIの酸化タンタル膜の容量素子部の容量値を増加し、リーク電流特性を改善する。

【解決手段】粗面ポリシリコン膜からなる容量下部電極2表面上へ、薄膜のW膜4を化学気相成長法により選択的に形成し、次いで容量絶縁膜(酸化タンタル膜11)を形成後、この容量絶縁膜を緻密化処理し、容量上部電極3を形成する。



【特許請求の範囲】

【請求項1】 DRAM（ダイナミック・ランダム・アクセス・メモリ）等の超LSIの半導体装置の製造方法において、前記半導体装置の容量素子部の形成工程が、アモルファスシリコン上に粗面のポリシリコン膜を成膜した下部電極を形成する工程と、前記下部電極表面上へ薄膜のタングステン（W）膜を化学気相成長法により選択的に形成後、前記タングステン（W）膜上に容量絶縁膜を形成する工程と、該容量絶縁膜を緻密化処理させる工程と、該容量絶縁膜上に上部電極を形成する工程とから構成されることを特徴とする半導体装置の製造方法。

【請求項2】 前記のタングステン（W）膜の膜厚が5 nm乃至50 nmである請求項1記載の半導体装置の製造方法。

【請求項3】 前記容量絶縁膜が酸化タンタル、酸化チタン、酸化ニオブ、酸化ハフニウムまたは酸化イットリウムからなる高誘電体膜である請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記容量絶縁膜の形成方法として、有機原料を用いた化学気相成長法を使用した請求項1、2または3記載の半導体装置の製造方法。

【請求項5】 前記容量絶縁膜の緻密化処理が酸化ガスを用いたプラズマ処理である請求項1、2、3または4記載の半導体装置の製造方法。

【請求項6】 前記容量絶縁膜の緻密化処理の温度が200℃乃至600℃である請求項5記載の半導体装置の製造方法。

【請求項7】 前記酸化ガスとして、酸素（O₂）ガス、亜酸化窒素（N₂O）ガスあるいは水分（H₂O）を含んだ酸素ガス、またはこれら数種類の混合ガスを使用した請求項5記載の半導体装置の製造方法。

【請求項8】 前記水分を含んだ酸素ガスの水分添加量が30～300 ppmである請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特にダイナミック・ランダム・アクセス・メモリ（DRAM）等の超LSI用いられる容量素子部を形成方法を含むに半導体装置の製造方法に関する。

【0002】

【従来の技術】256 Mbit DRAM以降の超LSIメモリデバイスの容量素子部においては、単位面積当たりの容量値を大きくできる高誘電率容量絶縁膜の採用が検討されている。

【0003】この高誘電率容量絶縁膜の形成方法としては、化学気相成長法が優れたステップカバレッジ特性を有する膜が形成できるため、多くの研究がなされている。例えば、特開平4-162527号公報には、酸化

タンタルの容量絶縁膜のプラズマ化学反応による化学気相成長法の技術が開示されている。

【0004】図8は、酸化タンタル容量絶縁膜をプラズマ化学反応による化学気相成長法で成膜したDRAMセルの形成例であり、ビット線56を含むトランジスタを被覆する層間絶縁膜48に設けられたコンタクト孔57を通してトランジスタに結合するスタックタイプの容量素子の製造方法を工程順に示した断面図である。

【0005】まず、下部電極ポリシリコン膜からなる容量下部電極2上に、タングステン膜（以下、W膜という）4をスパッタ法などにより形成する（図8（a））。一般的に、W膜厚は、ウェハ面内に均一性良く形成させるため、100 nm以上の成膜を行っている。その後、有機原料であるペンタエトキシタンタル（Ta（OC₂H₅）₅）ガスをを用いた減圧化学気相成長法により酸化タンタル膜11を形成後、この膜のリーク電流特性を改善させるために酸素雰囲気中で熱処理を行う（図8（b））。続いて、W膜等により容量上部電極3を形成し（図8（c））、容量素子部が形成される。

【0006】

【発明が解決しようとする課題】上述した従来の超LSIメモリデバイスの容量素子部の構造においては、容量素子部のリンドープポリシリコン膜は、表面がほとんど平坦状態のものが用いられているため容量素子部の表面積が小さく容量値を大きくできない問題があった。

【0007】このポリシリコン膜表面を粗面（HSG：hemispherical grain）化し、表面積を2倍程度に増加させる技術が開発され、実用化されつつある。例えば特開平8-139288号公報には、容量素子部の下部電極であるポリシリコンあるいはアモルファスシリコン表面を高融点金属のハロゲンガスとを反応させて、高融点金属あるいは高融点金属のシリサイドで置換し、次いで高融点金属のハロゲンガスをシランガスあるいは水素で還元することにより粗な結晶粒を下部電極表面に選択的に堆積させた後、容量絶縁膜を形成する技術が開示されている。

【0008】この技術においては、ポリシリコン等の下部電極表面は高融点金属で置換される際に粗面化し、その上に形成した容量絶縁膜の表面積をある程度増加させることが可能であるが、安定した形状の粗面化表面を形成することができないために、容量絶縁膜の容量値が安定せず、また下部電極部の形成において、多数の追加工程が必要であり加工費増大の問題があった。

【0009】本発明は、上記の従来の容量素子部の形成技術における問題点を解決した半導体装置の製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は、DRAM（ダイナミック・ランダム・アクセス・メモリ）等の超LSI

Iの半導体装置の製造方法において、前記半導体装置の容量素子部の形成工程が、アモルファスシリコン上に粗面ポリシリコン膜を成膜した下部電極を形成する工程と、下部電極表面上へ薄膜のW膜を化学気相成長法により選択的に形成後、容量絶縁膜を形成させる工程と、この容量絶縁膜を緻密化処理させる工程と、前記容量絶縁膜上に金属元素からなる上部電極を形成する工程とから構成されることを特徴とする。

【0011】前記のW膜の好ましい膜厚は5～50nmであり、また前記容量絶縁膜としては、酸化タンタル、酸化チタン、酸化ニオブ、酸化ハフニウムまたは酸化イットリウムからなる高誘電体膜を使用できる。

【0012】前記容量絶縁膜の形成方法として、有機原料を用いた化学気相成長法が使用でき、この容量絶縁膜の緻密化処理としては、酸素(O_2)ガス、亜酸化窒素(N_2O)ガスあるいは水分(H_2O)を含んだ酸素ガス、またはこれら数種類の混合ガスである酸化ガスを用いたプラズマ処理を適用できる。

【0013】

【発明の実施の形態】本発明の実施の形態について図面を参照して以下に説明する。

【0014】図1は本発明の実施の形態の半導体装置の製造方法で製造されたDRAMの一部の断面図である。P型シリコン基体41にNウェル42が形成され、そこに第1のPウェル43が形成されている。また第1のPウェル43とN⁺型分離領域45を介したP型シリコン基体の部分に第2のPウェル43が形成されてシリコン基板を構成する。このシリコン基板の主面のフィールド酸化膜46で絶縁分離された活性化領域に各素子が形成されている。

【0015】第1のPウェル43には多数のメモリセルのそれぞれのトランジスタが構成されているが、図1では一対のメモリセルのみ図示している。すなわち一対のメモリセルのトランジスタ50のソース、ドレインとなるN型領域51が形成され、ゲート絶縁膜52を介してポリシリコン膜53およびシリサイド膜54からなるゲート電極55が形成され、全体が第1の層間絶縁膜47で被覆される。

【0016】この第1の層間絶縁膜47に設けられたコンタクト孔58を通してビット線56が一対のメモリセルのそれぞれのトランジスタに共通なソース、ドレインの一方となるN型領域51に接続されている。このビット線を被覆して第2の層間絶縁膜48が形成され、その上に点線で囲んだ本発明の一対の容量素子部70が構成されている。すなわちこのスタック型の容量素子は、容量下部電極2、容量誘電体膜としての酸化タンタル膜11および容量上部電極3から構成され、一対の容量下部電極2は第1および第2の層間絶縁膜47、48に設けられたコンタクト孔57を通してそれぞれのトランジスタのソース、ドレインの他方となるN型領域51に接続

されている。

【0017】また、容量上部電極3は一対のメモリセルのそれぞれの容量素子に共通に連続的に形成され第2の層間絶縁膜48上を延ばして、容量上部電極の取り出し部3'において第3の層間絶縁膜49に設けられてコンタクト孔67を通して接地電位等の固定電位となっているアルミ電極71と電氣的接続されている。なお、このアルミ電極71の下部およびコンタクト孔67の内壁および容量上部電極の取り出し部3'に接する底面には窒化チタン膜72が形成され、コンタクト孔67はW膜73により充填されている。

【0018】一方、記憶装置の周辺回路のトランジスタ60は、Pウェル43表面に設けられたN型のソース・ドレイン領域51と、Pウェル43表面上に設けられたゲート絶縁膜52と、ゲート絶縁膜52を介してPウェル43表面上に設けられたポリシリコン膜53およびシリサイド膜54が積層してなるゲート電極55とから構成されている。N型のソース・ドレイン領域51の一方に、層間絶縁膜47、48、49を通して設けられたコンタクト孔68を介して、アルミ電極71が接続されている。このコンタクト孔68も、上記コンタクト孔67と同様に側面および底面は窒化チタン膜72に覆われ、タングステン膜73により充填されている。同様に、周辺回路のトランジスタ60のゲート電極55は、コンタクト孔を介してアルミ電極71に接地されている。

【0019】次に本発明の実施の形態の半導体装置の製造方法について詳細に説明する。図2は、本発明の実施の形態の半導体装置の製造方法の工程を説明するための容量素子部の断面図であり、図1の点線で囲まれた容量素子部70を示している。

【0020】まず、容量下部電極2であるリンドープアモルファスシリコンを化学気相成長法により堆積、通常のリソグラフィ/エッチング技術によりパターンニングする(図2(a))。次に、ジシラン(Si_2H_6)ガスを用いた分子照射により、アモルファスシリコン上に粗面のポリシリコン膜2aを形成する。形成条件として、ジシラン流量1～50sccm、圧力0.1～10mTorrで行い、形成条件により粗面ポリシリコンのグレインサイズは10～100nm、粗面度は粗なものから密と容量増加率を1.5倍～2.3倍程度までコントロールできる。さらに、ドーピングしたリンの活性化のため、窒素雰囲気中での高温熱処理を行う。

【0021】さらに、ポリシリコン膜2a表面の自然酸化膜を希釈フッ酸により除去した後、W膜4を化学気相成長法によりこのポリシリコン膜2a上へ選択的に形成する(図2(b))。このW膜4形成は、六フッ化タングステンガス(WF_6)およびアルゴンガスを用いて、 WF_6/Ar 分圧0.01～1.0Torr、温度200～500℃の条件で行い、膜厚5～50nmのW膜4を形成する。

【0022】次に、この容量下部電極2上へ酸化タンタル膜11を化学気相成長法により堆積する(図2(c))。酸化タンタル膜11は、図3に示すような装置を用いて形成する。

【0023】酸化タンタル膜11形成のためのガス原料としては有機系のペンタエトキシタンタルを用いられる。この原料をヒータ14により気化室15で気化させ、キャリアガスアルゴンの導入管23によりバルブ22cを通して送られてきたキャリアガスであるアルゴンガスによりバルブ22dを通して、半導体ウェハ18を搭載した基板ホルダ17を載置した反応炉19へ導入する。同時に、酸素ガスの導入管12により酸化ガスがバルブ22bを通して反応炉19へ導入される。ヒータ16により反応炉19内は熱せられており、導入された有機タンタルガスおよび酸化ガスが化学気相反応を起こし、半導体ウェハ18上で酸化タンタル膜が形成される。

【0024】酸化タンタル膜の成長条件として、有機タンタル原料の気化室15の加熱温度は30~200℃、ヒータ16による反応炉19内の温度は300~600℃、キャリアガスであるアルゴンガスの流量は10~1000SCCM、酸素ガスの流量は0.1~20SLM、圧力は0.1~10Torrで行うのが適している。反応炉19にはアルゴンガスをバルブ22aを通して導入するための他の導入管が接続され、また、排気口21を有する真空ポンプ20が接続されている。

【0025】本実施の形態では、容量絶縁膜として酸化タンタル膜を例にしたが、酸化チタン膜、酸化ニオブ膜、酸化ハフニウム膜、酸化イットリウム膜あるいはこれら数種類の容量絶縁膜からなる高誘電体膜を用いた場合でも同様な本発明の効果が得られる。

【0026】続いて、この酸化タンタル膜の緻密化処理として、酸化ガスを用いたプラズマ処理を行う。酸化プラズマ処理条件として、温度は200~600℃、雰囲気ガスとして、酸素(O_2)ガス、亜酸化窒素(N_2O)ガスあるいは水分(H_2O)を含んだ酸素ガス、またはこれら数種類の混合ガス雰囲気中で行う。水分を含んだ酸素ガスを使用する場合の水分添加量は、1~1000ppmが適当であるが、もっとも好ましい水分添加量は30~300ppmである。水分添加したボンベ(47リットル)を用いた場合、水分添加量と充填圧力に反比例の関係があり、水分添加量が30ppm以下では本発明の効果はなく、また水分添加量300ppmで約30kg/cm²の圧力が得られるが、これ以上の水分添加量になると充填圧力は低下し実用的ではなくなるため、上限を300ppmとした。続いて、容量上部電極9として、窒化チタンを形成する(図2(d))。

【0027】本実施の形態においては、上部電極として、窒化チタン単層を用いたが、タングステン、モリブデン、チタンなどの高融点金属、あるいはこれら高融点

金属の窒化膜、あるいはこれら高融点金属のシリサイド膜、あるいはこれら高融点金属の多層膜を用いた場合でも同様な効果が得られる。

【0028】本実施の形態の半導体装置の製造方法で製造された半導体装置の容量素子部のW膜厚に対する単位面積当たり(0.1mm²)の容量値を図4に示す。図4から、W膜厚が増加するのに伴い、容量値は減少しており、100nm以上では粗面化した面積増加分の効果が得られないことがわかった。一方、W膜厚が5nm以下の場合、W膜を通して粗面ポリシリコン膜からのシリコンと酸化タンタル膜が反応するため、容量値が著しく低下してしまう。結果として、W膜の膜厚を5nmから50nmで適用することによる本発明の効果が得られる。

【0029】また、この半導体装置の容量素子部の酸素プラズマアニール温度に対する $10 \times 10^{-8} A/cm^2$ のリーク電流密度における電圧値をプロットした結果を図5に示す。図5に示すように、電圧値は酸化プラズマ処理温度の増加により、正および負とも増加している。これは、酸化タンタル膜中に含まれる水分やカーボンが、処理温度の増加に伴い外方拡散し、さらに酸化タンタル膜中の酸素空孔が酸素プラズマ処理によるイオンボンバードにより埋められ、膜が緻密化されるためと考えられる。

【0030】この粗面シリコン上へ金属下部電極を形成する技術は1GビットDRAM(セルサイズ0.24 μm^2)の容量素子部へ適用した結果を図6に示す。ここでは、W膜は50nm形成した場合を用いた。この結果において、横軸は容量素子部のスタック高さ、縦軸は容量値を示しており、また、SiO₂膜換算膜厚1.6nmの容量絶縁膜を適用した場合を示している。

【0031】図6から、HSG表面を用いた場合、粗面表面でない(nono-HSG)場合と比較して約1.4倍の面積増加が得られ、粗面表面を用いることにより、スタック高さ0.6 μm 程度で80fFの容量値が得られている。

【0032】次に、本実施の形態で形成した容量素子部のリーク電流の測定結果を図7に示す。ここで、実線は粗面表面でない(nono-HSG)場合の特性、一点鎖線はHSG表面を用いた場合の特性である。図7からリーク電流特性は粗面表面の利用の有無にかかわらず、ほとんど一致した結果が得られ、 $10 \times 10^{-8} A/cm^2$ のリーク電流密度における電圧値は正(+)で約0.8Vおよび負(-)で約1.7Vであった。この特性は、1GビットDRAMの内部電源電圧($V_{cc}/2 = 0.75V$)へ十分適用可能な結果であると考えられる。

【0033】

【発明の効果】以上説明したように、本発明により、DRAM等の超LSIに用いられる容量素子部を、粗面ポリシリコン膜からなる下部電極表面上へ薄膜のW膜を化

学気相成長法により形成し、次いで容量絶縁膜を形成させた後、この容量絶縁膜を緻密化処理し、上部電極を形成して形成することにより従来技術と比較して、粗面ポリシリコンによる表面積増加分を維持したまま、リーク電流特性の優れた容量素子が形成できる効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態の半導体装置の製造方法で製造されたDRAMの一部の断面図である。

【図2】本発明の実施の形態の半導体装置の製造方法の工程を説明するための容量素子部の断面図である。

【図3】本発明の実施の形態における酸化タンタル膜の形成に用いた装置を模式的に示した構造図である。

【図4】本発明に基づき形成した容量素子部のW膜厚に対する単位面積当たりの容量値を示した図である。

【図5】本発明に基づき形成した容量素子の酸素プラズマアニール温度に対する 10^{-8} A/cm^2 のリーク電流密度における電圧値をプロットした結果である。

【図6】本発明に基づき形成した1GビットDRAM容量素子の容量値（セル面積 $0.24 \mu\text{m}^2$ ）を示した図である。

【図7】本発明に基づき形成した容量素子のリーク電流特性を示した図である。

【図8】従来技術の製造方法を工程順に示した断面図である。

【符号の説明】

2 容量下部電極

2a ポリシリコン膜

3 容量上部電極

3' 容量上部電極の取り出し部

4, 73 W膜

11 酸化タンタル膜

12 酸素ガスの導入管

14 ヒータ

15 気化室

16 ヒータ

17 基板ホルダ

18 半導体ウェハ

19 反応炉

20 真空ポンプ

21 排気口

22a, 22b, 22c, 22d バルブ

23 キャリアガスアルゴンの導入管

41 P型シリコン基板

42 Nウェル

43 Pウェル

45 N⁺型分離領域

46 フィールド酸化膜

47, 48, 49 層間絶縁膜

50 メモリセルのトランジスタ

51 N型のソース・ドレイン領域

52 ゲート絶縁膜

53 ポリシリコン膜

54 シリサイド膜

55 ゲート電極

56 ビット線

57, 58, 67, 68 コンタクト孔

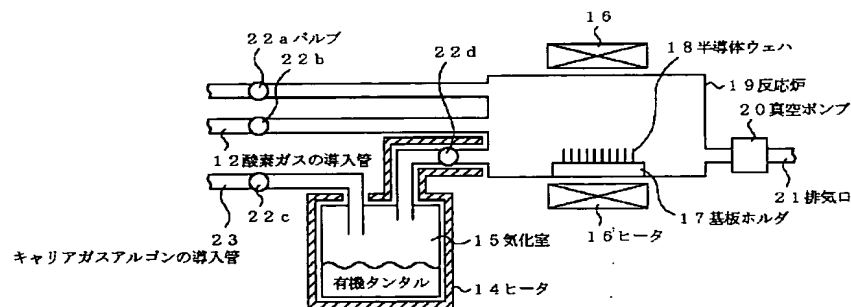
60 周辺回路のトランジスタ

70 容量素子部

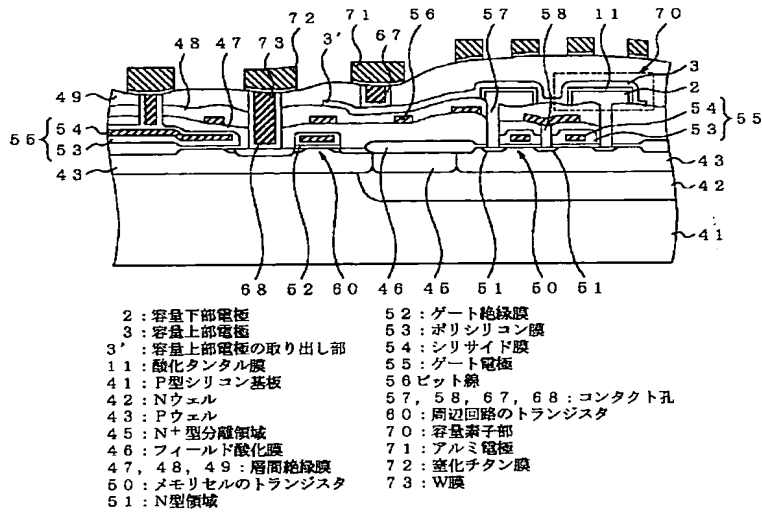
71 アルミ電極

72 窒化チタン膜

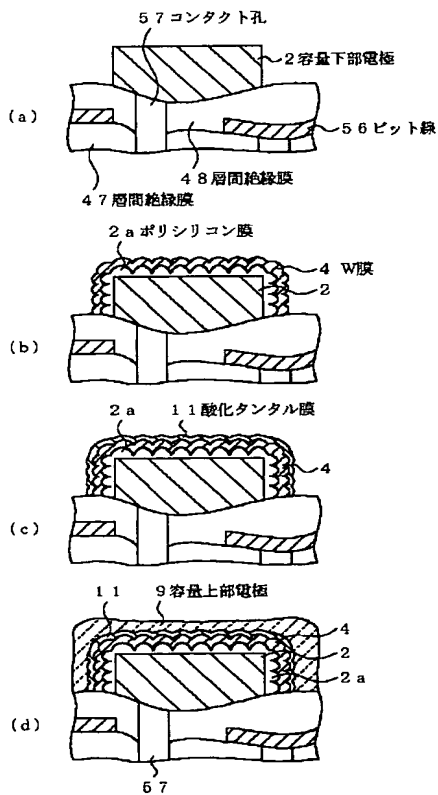
【図3】



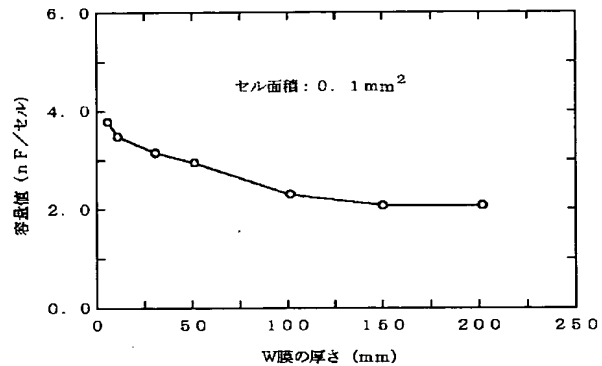
【図1】



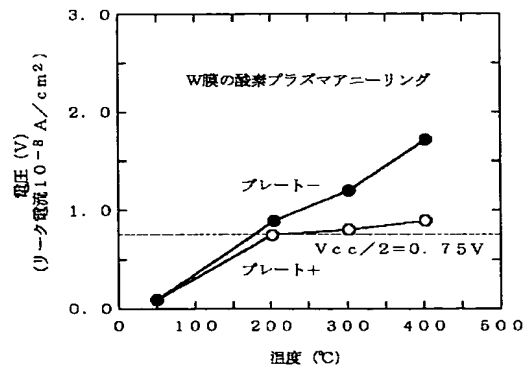
【図2】



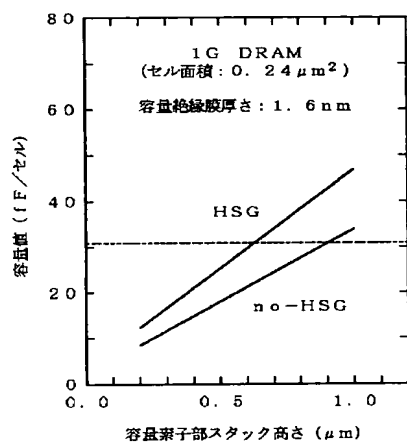
【図4】



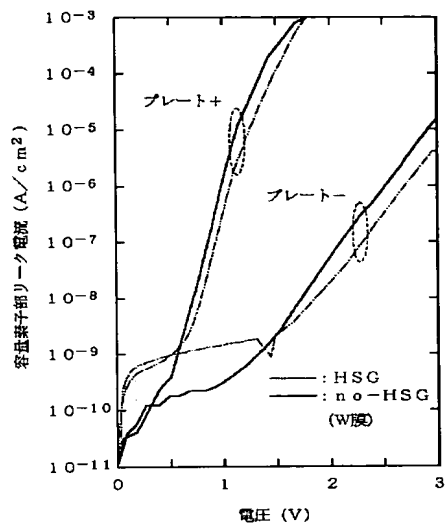
【図5】



【図6】



【図7】



【図8】

